

一种功能可配置的可逆触发器设计

吴 钰,王伦耀,储著飞,夏银水
(宁波大学信息科学与工程学院,浙江宁波 315211)

摘 要: 不同于以往一种可逆触发器电路只能实现单一的D,T或JK触发器功能,本文在提出的3种触发器统一的次态方程基础上,设计了功能可配置的可逆单边沿和双边沿触发器.通过对输入变量的设置,提出的可逆触发器电路分别具有D,T或JK触发器逻辑功能,并能实现异步置数.提出的可逆触发器用Verilog硬件描述语言建模并用Modelsim软件仿真验证逻辑功能的正确性.相比于已有的单一功能可逆触发器,本文的可逆触发器在增加有限量子代价的基础上用单一电路实现3种不同触发器功能和异步置数.

关键词: 可逆逻辑;可逆触发器;可逆双边沿触发器;可逆时序电路

中图分类号: TP331.1 **文献标识码:** A **文章编号:** 0372-2112(2022)06-1466-06
电子学报 URL:http://www.ejournal.org.cn **DOI:**10.12263/DZXB.20201291

A Reversible Flip-flop Design with Configurable Function

WU Yu, WANG Lun-yao, CHU Zhu-fei, XIA Yin-shui

(Faculty of Electrical Engineering and Computer Science, Ningbo University, Ningbo, Zhejiang 315211, China)

Abstract: Unlike the previous reversible flip-flops(RFFs) which have a single D, T or JK flip-flop characteristic function for one circuit, an edge-triggered(including dual edge-triggered) RFF with function configurable(FCRFF) is designed based on the proposed unified characteristic equation of D, T and JK FFs. By preset some inputs of FCRFF, the proposed edge-triggered FCRFF can act as D, T and JK reversible FF and also can load data asynchronously. The functions of proposed FCRFF are approved by simulation using Modelsim after modeled with Verilog HDL. Comparing with those published D, T and JK reversible FFs, the proposed FCRFF can combine D, T and JK reversible FFs' functions into one circuit and have asynchronous data loading function additionally only with a few quantum cost increasing.

Key words: reversible logic;reversible flip-flop;reversible dual edge-triggered flip-flop;reversible sequential circuit

1 引言

能耗问题目前已成为制约集成电路发展的一个重要因素. Landauer指出,能耗来源于现有逻辑电路的不可逆操作,降低电路功耗的关键是将不可逆操作改造为可逆操作^[1]. 因此,可逆逻辑设计成为低功耗设计的一种途径;同时,可逆逻辑在量子技术、低功耗设计、信息安全等其他科学领域有着重要的作用^[2-5].

可逆逻辑电路包括可逆组合逻辑电路和可逆时序逻辑电路,并可以由具有不同逻辑功能的基本可逆逻辑门连接构成^[6-8]. 可逆触发器是构成可逆时序电路的基本单元,目前在可逆触发器设计中主要采取2种方法. 第一种是结构替代方法. 该方法在非可逆触发器电路基础上,用可逆逻辑门替代构成非可逆触发器中

的逻辑门,进而得到可逆触发器^[9,10]. 用替代的方法实现可逆触发器设计简单易行,但得到的电路往往结构复杂,量子代价(Quantum Cost, QC)^[11]高. 另一种是根据触发器工作原理,先提出可逆Latch,进而提出可逆电平触发器和边沿触发器^[12-14].

本文主要讨论可逆边沿触发器设计. 不同于文献[9, 10, 12~14]的设计方法,本文在分析D, T和JK触发器次态方程的基础上,提出了上述3种触发器次态方程的统一表达式,并在可逆Latch的基础上,分别提出了逻辑功能可配置的可逆电平触发器和可逆边沿触发器电路. 本文通过设置特定输入,使得提出的电路结构分别具有可逆D, T和JK触发器功能;同时,在提出的单边沿逻辑功能可配置的可逆触发器基础上提出了逻辑功

收稿日期:2020-11-17;修回日期:2021-03-16;责任编辑:王天慧

基金项目:国家自然科学基金(No.61471211, No.U1709218, No.61871242);浙江省自然科学基金(No.LY19F040004);宁波市自然科学基金(No.2019A610077)

能可配置的双边沿触发器设计. 另外,不同于已有可逆触发器,本文逻辑功能可配置的可逆触发器具有异步置数功能,有利于实现可逆时序电路初始化.

2 基本可逆逻辑门

可逆逻辑电路由基本可逆逻辑门组成,构成本文可逆触发器电路的可逆逻辑门为 Feynman 门、Fredkin 门^[15].

图 1 为 Feynman 门(也称 FG 门)的电路符号和逻辑功能. x 为控制位输入, y 为目标位输入, y' 为目标位输出,且存在

$$y' = y \oplus x \quad (1)$$

式(1)中,符号“ \oplus ”表示逻辑“异或”运算. 通过预置 x, y 的值,使得 y' 可以等于 \bar{x}, \bar{y}, x 或 y . 另外,当 $y=0$ 时, $y'=0 \oplus x = x$,即目标位输出等于控制位输入,本文把这种情况称为对控制位的复制.

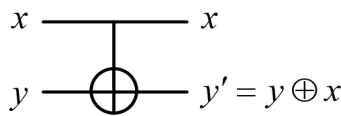


图 1 Feynman 门

图 2 为 Fredkin 门(也称 F 门)的电路符号和逻辑功能. x 为控制位输入, y 和 z 为 2 个目标位输入. 它们对应的输出为

$$\begin{cases} y' = \bar{x}y + xz = \bar{x}y \oplus xz \\ z' = xy + \bar{x}z = xy \oplus \bar{x}z \end{cases} \quad (2)$$

由式(2)可得,当 $x=1$ 时, $y'=z, z'=y$,即 F 门的输出为输入的交换, y 被分配到输出端 z' ; 当 $x=0$ 时, $y'=y, z'=z$, F 门的输出为对应的输入, y 被分配到输出端 y' . 因此, F 门具有数据分配功能. 另外,也可以通过预置 y 和 z 的值,实现输出为控制位 x 的取反.

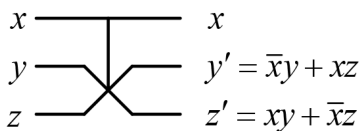


图 2 Fredkin 门

3 可逆电平触发器设计

3.1 具有存储功能的可逆电路

Latch 是构成触发器电路的基本结构. 图 3 为用 F 门和 FG 门构成的可逆 Latch 结构. 控制信号为 C, Q_n 和 Q_1 为 F 门的输入, Q 和 g 为 F 门的输出,其中 g 为垃圾位输出. FG 门的控制信号为 Q , 目标位输入为 0, 目标位输出为 Q_1 .

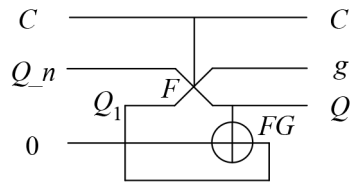


图 3 可逆 Latch 电路结构

由式(1)和式(2)可得,输出 Q 可以用式(3)来描述,即

$$\begin{aligned} Q &= CQ_n + \bar{C}Q_1 \\ &= CQ_n + \bar{C}(0 \oplus Q) \\ &= CQ_n + \bar{C}Q \end{aligned} \quad (3)$$

当 $C=0$ 时,式(3)蜕化为恒等式 $Q=Q$,即实现数据锁存. 而从图 3 可得,当 $C=0$ 时,FG 门处于复制状态,输出 Q 被复制到 F 门的其中一个输入端, F 门处于非交换状态,即 $Q=Q$. 当 $C=1$ 时,式(3)变成 $Q=Q_n$,实现输出数据的更新.

3.2 可逆电平触发器设计

电平触发器的特点是在控制信号高电平(或低电平)时处于信号接收状态,而在控制信号低电平(或高电平)时实现对已接收信号的锁存. 现假设控制信号为 C, C 也是时钟信号, Q^+ 为可逆电平触发器的次态, Q 为现态,则低电平锁存的电平触发器的次态方程可以用式(4)来表示,即

$$Q^+ = CQ_n + \bar{C}Q \quad (4)$$

式(4)中 Q_n 为次态值. Q_n 由可逆触发器的现态和输入决定. 不同的 Q_n 表达式对应不同的触发器. 比较式(4)和式(3)可得,二者具有相同的表示形式,因此电平触发器可以在图 3 电路基础上加上实现 Q_n 的电路就可得到具有不同逻辑功能的电平触发器.

D 触发器的 Q_n 可以表示为

$$\begin{aligned} Q_n(D, Q) &= D \\ &= QD + \bar{Q}D \\ &= Q(D \oplus 0) + \bar{Q}D \end{aligned} \quad (5)$$

T 触发器的 Q_n 可以表示为

$$\begin{aligned} Q_n(T, Q) &= T \oplus Q \\ &= Q\bar{T} + \bar{Q}T \\ &= Q(T \oplus 1) + \bar{Q}T \end{aligned} \quad (6)$$

JK 触发器的 Q_n 可以表示为

$$\begin{aligned} Q_n(J, K, Q) &= Q\bar{K} + \bar{Q}J \\ &= Q(K \oplus 1) + \bar{Q}J \end{aligned} \quad (7)$$

式(5)~(7)具有共同的表达式形式,可以进一步表示成式(8)的形式:

$$Q_n(I_1, I_2, Q) = Q(I_2 \oplus s) + \bar{Q}I_1 \quad (8)$$

式(8)中 I_1 和 I_2 为 2 个输入变量, s 为变量极性控制信

号. 当 $I_1=I_2=D$, 且 $s=0$ 时, 式(8)变成式(5), 实现 D 触发器功能; 同理, 当 $I_1=I_2=T$, 且 $s=1$ 时, 式(8)变成式(6), 实现 T 触发器功能; 当 $I_1=J, I_2=K$, 且 $s=1$ 时, 式(8)变成式(7), 实现 JK 触发器功能.

将式(8)代入式(4), 得到可逆电平触发器逻辑功能的描述, 即

$$Q^+ = CQ_n + \bar{C}Q = C[Q(I_2 \oplus s) + \bar{Q}I_1] + \bar{C}Q \quad (9)$$

图4为与式(9)对应的功能可配置的可逆电平触发器电路. 其中 $Q_n = Q(I_2 \oplus s) + \bar{Q}I_1$ 对应虚线框部分电路的功能; 虚线框外的电路为可逆 Latch, 用以实现 $(CQ_n + \bar{C}Q)$. 图4中 g_1, g_2 为垃圾位输出.

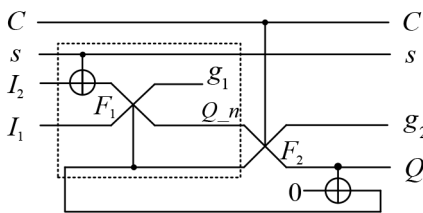


图4 功能可配置的可逆电平触发器

由上述分析可知, 通过设定 I_1, I_2 和 s 的取值可以使图4电路实现 D, T 和 JK 触发器功能, 因此称图4电路为功能可配置的可逆电平触发器.

表1中给出了在不同现态和输入时, 图4中 Q_n 的取值. 表1中标有“X”的地方表示在对应的输入和现态下, Q_n 处于不稳定状态. 以表1中 $Q=0, I_1 I_2=11, s=1$ 为例, 此时图4触发器输出将处于一直翻转的不稳定状态. 为使图4电路具有稳定的输出, 需要对其输入进行约束.

表1 $C=1$ 时图4电路 Q_n 取值情况

QI_1I_2	$Q_n(s=1)$	$Q_n(s=0)$
000	0	0
001	0	0
010	1	X*
011	X	1
100	1	0
101	0	1
110	1	X*
111	X	1

考虑到 $s=0$ 时, 对应的是 D 触发器功能, 且要求 $I_1=I_2=D$, 因此表1中带有“*”的 X 对应的输入组合是不可能出现的, 可以不用考虑. 因此图4电路的输入必须满足

$$sI_1I_2=0 \quad (10)$$

4 可逆边沿触发器设计

在非可逆触发器设计中, 触发器的触发方式是由

电路的结构形式决定的, 那些采用2个电平 D 触发器结构组成的触发器, 无论其逻辑功能如何, 一定是边沿触发的. 非可逆边沿触发器的设计思想同样也可以用于可逆边沿触发器设计.

图5为提出的功能可配置可逆边沿触发器电路. 其电路结构是在图4电路基础上, 通过插入由 F_3 和 FG_3 构成的 Latch, 实现边沿触发. 图5中包含了2个 Latch. 一个由 F_2 和 FG_2 构成, 简称为 L_1 ; 另一个由 F_3 和 FG_3 构成, 简称为 L_2 .

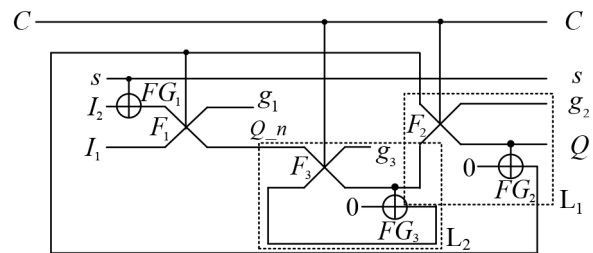


图5 功能可配置的可逆边沿触发器

当 $C=1$ 时, L_1 处于锁存状态, 并将锁存的数据从 Q 端输出, 同时 L_2 处于接收数据状态, 接收的数据为 Q_n . 当 C 由 1 变到 0 即时钟下降沿时, L_2 处于锁存状态, 锁存的数据就是时钟下降沿时 Q_n 的值, 同时 L_1 处于接收数据状态, L_1 接受的数据来自 L_2 锁存的数据, 并从 Q 端输出. 因此, 图5电路具有下降沿触发的特性.

图5可通过配置 s, I_1 和 I_2 的值, 使得 Q_n 的表达式与 D, T 和 JK 触发器的逻辑功能描述一致, 进而实现边沿 D, T 和 JK 触发器的功能.

在时序电路设计中一般要求电路具有异步状态预置功能, 以实现时序电路初始化的目的, 这就要求触发器具有异步置“1”或置“0”的功能.

图6为本文提出的具有异步置“1”或置“0”功能的可逆边沿触发器电路. 图6电路结构是在图5电路基础上, 增加了异步置数信号 M 和预置数 A 输入端, 同时也增加了可逆门 F_0 和 F_4 .

图6电路中, 当 $M=0$ 时, F_0, F_4 处于非交换状态,

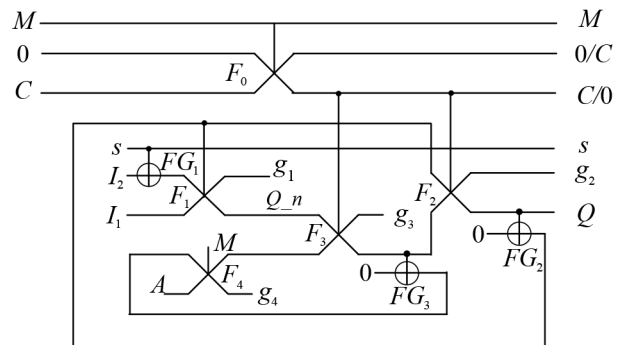


图6 具有异步置数功能的可配置可逆边沿触发器

因此 F_2, F_3 的控制位为 C ,同时预置数 A 从 g_4 输出,对后面电路没有影响.因此在 $M=0$ 时,图6电路与图5电路的逻辑功能是等效的.

当 $M=1$ 时, F_0, F_4 处于交换状态,因此,无论 C 为何值, F_2, F_3 因控制位信号始终为逻辑“0”,处于非交换状态,从而使得预置数 A 可以直接输出到 Q 端.同时,当 $M=1$ 时,由 F_3 和 FG_3 构成的Latch处于锁存状态,锁存的数据为预置数 A ;而由 F_2 和 FG_2 构成的Latch处于接受数据状态,接受的数据为预置数 A .因此,在 $M=1$ 时,不管信号 C, s, I_1 和 I_2 如何变化,输出 Q 均等于预置数 A .

当 M 从1变成0时,若 $C=1$,则由 F_2 和 FG_2 构成的Latch处于锁存状态,锁存的数据为预置数 A ,输出 Q 为 A ;若 $C=0$, F_3 和 FG_3 构成的Latch处于锁存状态,锁存的数据为预置数 A ,而由 F_2 和 FG_2 构成的Latch处于接受数据状态,接受的数据为锁存在 F_3 和 FG_3 构成的Latch的预置数 A ,输出 Q 也为 A .即在 M 失效后,触发时钟有效沿到来之前,输出端保持预置数 A 不变.由此可得,在图6电路中,不论 C 为何值,当 M 为高电平时可以实现异步置数,预置数为 A .

5 可逆双边沿触发器设计

在非可逆双边沿触发器电路设计中,存在2个Latch总是交替处于锁存和接受数据状态,而数据选择器总是选择处于锁存状态的数据加以输出,从而实现双边沿触发器的功能.非可逆双边沿触发器的设计思想同样也可以用于可逆双边沿触发器的设计.

图7为提出的功能可配置的可逆双边沿触发器电路.其电路结构是在图5电路基础上,增加了一个与 L_2 并行的 L_3 ,同时为了实现在不同时钟电平下将 Q_n 分配到 L_2 和 L_3 中,又增加了 F_5 .在图7中,当 $C=0$ 时, L_3 处于接收数据状态,接收的数据为 Q_n , L_2 处于锁存状态,锁存的数据就是时钟下降沿时 Q_n 的值,并从 Q 端输出;当 $C=1$ 时, L_2 处于接收数据状态,接收的数据为 Q_n , L_3 处于锁存状态,锁存的数据就是时钟上升沿时 Q_n 的值,并从 Q 端输出.因此,图7电路具有双边沿触发的特性.图7可通过配置 s, I_1 和 I_2 的值,使得 Q_n 的表达式与D,T和JK触发器的逻辑功能描述一致,进而实现双边沿D,T和JK触发器的功能.

图8电路是在图7电路基础上,提出的具有异步置数功能的双边沿触发器电路.

图8电路中,当 $M=0$ 时, F_0, F_6 处于非交换状态, F_2, F_3 和 F_4 的控制位等于 C ,且预置数 A 从 g_5 输出,对后面电路功能没有影响.因此在 $M=0$ 时,图8电路与图7电路等效.

当 $M=1$ 时, F_0, F_6 处于交换状态,且无论 C 为何

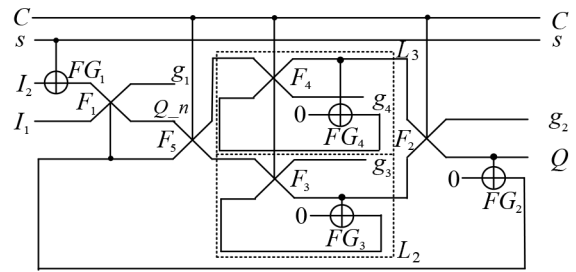


图7 功能可配置的可逆双边沿触发器

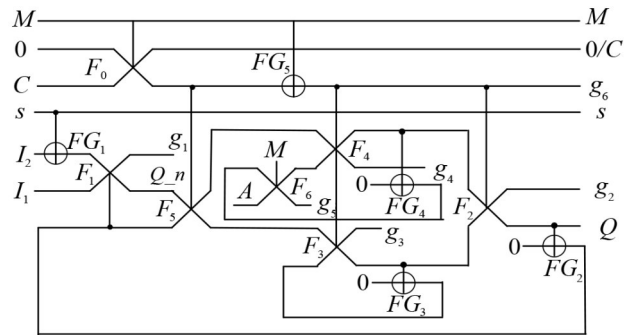


图8 具有异步置数功能的可逆双边沿触发器

值, F_2, F_3 和 F_4 的控制位信号始终为逻辑“1”,同时, F_4 和 FG_4 构成的Latch处于接受数据状态,接受的数据就是预置数 A .又因 F_2, F_4 和 F_6 处于交换状态,预置数 A 可以直接输出到 Q 端,实现异步置数功能.另外,当 $M=1$ 时, F_5 的控制位的值为“0”, F_3 和 FG_3 构成的Latch处于接受数据状态,接受的数据就是输出端 Q 的值,即为预置数 A .

当 M 从1变成0时,无论时钟信号处于什么电平,处于锁存状态的Latch寄存的数据一定是 A ,因此触发器的输出值保持预置数 A 不变,直到时钟触发边沿到来为止.由此可得,在图8电路中,不论 C 为何值,当 M 为高电平时可以实现异步置数,预置数为 A .

6 可逆触发器功能仿真结果

为了验证提出的电路功能是否正确,本文用Verilog HDL语言对提出的可逆触发器电路进行了行为建模,并用Modelsim对电路逻辑功能进行了仿真.

图9是图5电路的仿真结果.在 $0 \sim t_0$ 时段,输入 $s=0, I_1=I_2$,模拟可逆D触发器功能,仿真结果显示输出 Q 符合D触发器的逻辑功能. t_0 时刻以后,输入 $s=1, I_1 \neq I_2$,模拟可逆JK触发器功能,其中 $I_1=J, I_2=K$,仿真结果显示电路输出 Q 符合JK触发器的逻辑功能.另外,从图9可知,只有 C 从1变成0时,输出才发生相应变化,因此提出的触发器为下降沿触发.

图10是图6电路的仿真结果,模拟JK触发器功能,输入 $s=1, I_1=J, I_2=K$.从仿真结果看,在 $M=1$ 时,虽然 C 和 I_2 均发生了变化,但不影响预置数 A 的置入,使得

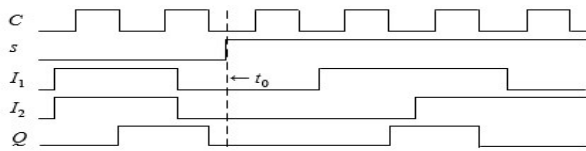


图9 可逆边沿触发器仿真结果

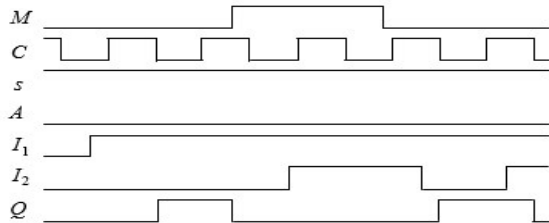


图10 具有异步置数功能的可逆边沿JK触发器仿真结果

输出 $Q=A=0$ 保持不变;在 $M=0$ 后,信号 C 下降沿到来之前,虽然 I_2 发生了变化,但输出 Q 仍然保持不变,直到信号 C 下降沿到来后输出 Q 才随输入的变化而变化,输出 Q 符合边沿 JK 触发器行为,且具有异步置数功能。

图 11 是图 7 电路的仿真结果。输入 $s=0, I_1=I_2$, 模拟可逆双边沿 D 触发器。从仿真结果看,在 $C=1$ 或 $C=0$ 时, I_1 和 I_2 的变化对输出 Q 没有影响。输出 Q 的变化发生在信号 C 的上升沿和下降沿,且 Q 符合 D 触发器行为。

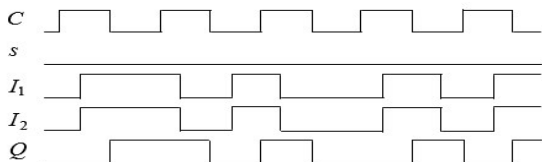


图11 可逆双边沿D触发器仿真结果

图 12 是图 8 电路的仿真结果,输入 $s=1, I_1 \neq I_2$, 模拟可逆双边沿 JK 触发器。从仿真结果看,在 $M=1$ 期间,虽然 C, I_1 和 I_2 发生了变化,但不影响实现预置数 A 的置入,且在 $M=1$ 期间,预置数 A 的变化直接输出到 Q 端;在 $M=0$ 时,虽然 I_2 发生了变化,但输出 Q 保持预置数值不变,直到时钟触发边沿到来后,输出 Q 才随输入的变化而变化,输出 Q 符合异步置数双边沿 JK 触发器行为。

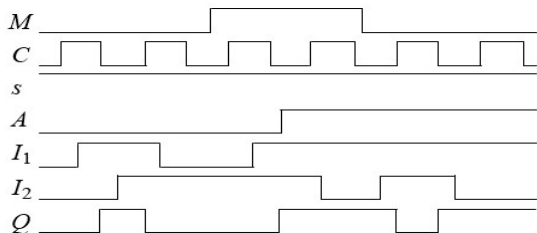


图12 具有异步置数功能的可逆双边沿JK触发器仿真结果

在可逆逻辑电路设计中, QC 常作为一个衡量可逆逻辑网络的构造成本指标。可逆电路 QC 值等于构成该电路各个可逆逻辑门的 QC 值之和。本文提出的电路仅使用 Feynman 门和 Fredkin 门, 它们的 QC 值分别是 1 和 5。以本文图 5 的单边沿触发器为例, 该电路由 3 个 Fredkin 门和 3 个 Feynman 门构成, 因此, 图 5 电路 QC 值为 $3 \times 5 + 3 \times 1 = 18$ 。同理, 图 7 电路的 QC 值为 24。在表 2 中给出了其他文献提出的可逆 D, T 和 JK 边沿触发器的 QC 值。其中 T 和 JK 边沿触发器是利用文献[14]提出的设计方法和使用的可逆门设计的, 其对应的 QC 值标有“*”号。另外, 由于已有文献中的可逆触发器均没有异步置数功能, 因此, 表 2 中触发器电路均不含异步置数功能。

表2 与其他文献可逆触发器的QC值比较

单边沿触发器类型	文献[14]	本文	双边沿触发器类型	文献[14]	本文
D	13	18	D	19	24
T	14*		T	19*	
JK	21*		JK	26*	

从表 2 可知, 相比 D 和 T 触发器, 本文设计的 QC 值更大。但实现 JK 触发器时, 本文电路的 QC 值略小。如以平均 QC 值来衡量, 本文提出的触发器与单一功能触发器相比, QC 值略增加 2~3; 但在逻辑功能上, 本文提出的触发器要远比单一功能触发器丰富。

7 结语

本文主要开展了下面 3 方面的工作: (1) 在分析 D, T 和 JK 触发器次态方程基础上, 将上述 3 种触发器的次态方程用一个新次态方程来描述, 并通过适当配置新的次态方程中变量的取值, 使新次态方程转化为 D, T 和 JK 触发器的次态方程; (2) 利用提出的新的触发器次态方程, 结合可逆 Latch 提出功能可配置的可逆电平触发器, 并在可逆电平触发基础上提出了功能可配置的边沿触发器和双边沿触发器; (3) 提出了具有异步置数功能的可逆触发器电路, 方便可逆时序电路设计中的电路初始化。

提出的各种可逆触发器电路用 Verilog HDL 进行的行为级建模并仿真验证了提出的电路的逻辑功能可以配置且功能正确。此外, 相比于现有单一功能的可逆触发器, 文本提出的触发器在增加有限 QC 基础上, 用一种电路结构实现了 D, T 和 JK 可逆触发器功能, 电路功能得到显著扩展。

参考文献

[1] LANDAUER R. Irreversibility and heat generation in the computing process[J]. IBM Journal of Research and Devel-

- opment, 1961, 5(3): 183-191.
- [2] 常丽, 朱宇祥, 蒋辉. 量子全加器设计[J]. 电子学报, 2019, 47(9): 1863-1867.
CHANG L, ZHU Y X, JIANG H. Design of quantum full adder[J]. Acta Electronica Sinica, 2019, 47(9): 1863-1867. (in Chinese)
- [3] NAVEEN K B, PUNEETH G, SANDNGARAJU M N S. Low power Viterbi decoder design based on reversible logic gates[C]//International Conference on Electronics and Communication Systems. Coimbatore: IEEE, 2017: 201-205.
- [4] MONDAL B, DEY K, CHAKRABORTY S. An efficient reversible cryptographic circuit design[C]//International Symposium on Vlsi Design and Test. Guwahati: IEEE, 2016: 1-6.
- [5] GOVINDAPRIYA K, PERIYASAMY M. Nano design of communication parts with QCA using reversible logic [C]// International Conference on Advanced Communication Control and Computing Technologies. Ramanathapuram: IEEE, 2017: 819-823.
- [6] 管致锦, 秦小麟, 陶涛, 等. 可逆逻辑门网络的表示与级联[J]. 电子学报, 2010, 38(10): 2370-2376.
GUAN Z J, QIN X L, TAO T, et al. Representation and cascade for reversible gate network[J]. Acta Electronica Sinica, 2010, 38(10): 2370-2376. (in Chinese)
- [7] KALANTARI Z, ESHGHI M, MOHAMMADI M, et al. Low-cost and compact design method for reversible sequential circuits[J]. The Journal of Supercomputing, 2019, 75(11): 7497-7519 .
- [8] 吴钰, 张莹, 王伦耀, 等. 一种可逆有限状态机的电路设计[J]. 电子学报, 2020, 48(11): 2226-2232.
WU Y, ZHANG Y, WANG L Y, et al. Design of a reversible finite state machine[J]. Acta Electronica Sinica, 2020, 48(11): 2226-2232.(in Chinese)
- [9] ROHINI H, RAJASHEKAR S, KUMAR P. Design of basic sequential circuits using reversible logic[C]//2016 International Conference on Electrical, Electronics, and Optimization Techniques. Chennai: IEEE, 2016: 2110-2115.
- [10] ANDALOUSSII, SEDRA M B. A design of sequential reversible circuits by reversible gates[J]. International Journal of Engineering & Technology, 2020, 9(2): 397-402.
- [11] SLIMANI A, BENSLAMA A. Optimized 4-bit quantum reversible arithmetic logic unit[J]. International Journal of Theoretical Physics, 2017, 56(8): 2686-2696.
- [12] THAPLIYAL H, RANGANATHAN N. Design of reversible latches optimized for quantum cost, delay and garbage outputs[C]//2010 23rd International Conference on VLSI Design. Bangalore: IEEE, 2010: 235-240.
- [13] ANURADHA B, SIVAKUMAR S. TOFFOLI based reversible sequential circuits[J]. International Journal of Advanced Information Science and Technology, 2014, 23(23): 2319-2682.
- [14] MISRA N K, WAIRYA S, SEN B. Design of conservative, reversible sequential logic for cost efficient emerging nano circuits with enhanced testability[J]. Ain Shams Engineering Journal, 2018, 9(4): 2027-2037.
- [15] SINGH S, CHOUDHARY A, JAIN M K. A brief overview of reversible logic gate and reversible circuits[J]. International Journal of Electronics Engineering, 2019, 11(2): 86-104.

作者简介



吴钰 女, 1995年出生, 安徽安庆人. 硕士研究生. 主要研究方向为可逆逻辑综合.

E-mail: 13566361397@163.com



王伦耀 男, 1972年出生, 浙江宁波人. 宁波大学信息科学与工程学院教授. 主要研究方向为低功耗集成设计、集成电路设计自动化等.

E-mail: wanglunyao@nbu.edu.cn